

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-107028  
 (43)Date of publication of application : 22.04.1997

(51)Int.CI. H01L 21/76  
 H01L 21/304

(21)Application number : 08-225456 (71)Applicant : SAMSUNG ELECTRON CO LTD  
 (22)Date of filing : 27.08.1996 (72)Inventor : RI GENSEI

(30)Priority

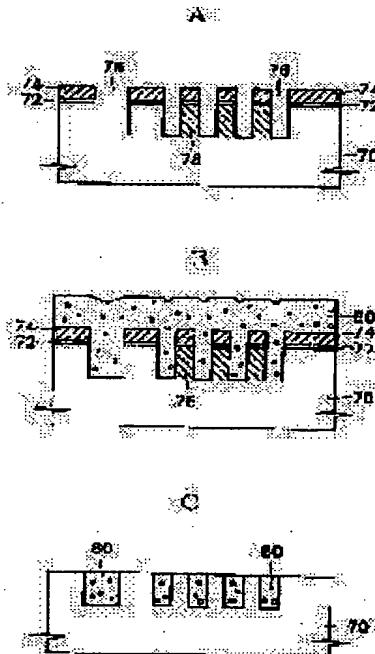
Priority number : 95 9528482 Priority date : 31.08.1995 Priority country : KR

**(54) ISOLATION METHOD FOR SEMICONDUCTOR DEVICE**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To the isolation layer flat by forming an abrasion resistant layer on a substrate, forming a photosensitive pattern by inserting a dummy pattern into a field region formed thereon, patterning the abrasion resistant layer using the photosensitive pattern as a mask, making a trench in the substrate using the pattern thus formed as a mask and then filling the trench with an insulator and polishing the insulator.

**SOLUTION:** A pad oxide 72 and a nitride 74 are deposited sequentially on a substrate 70 and patterned using a mask pattern. The exposed substrate 70 is then etched to make a trench 76 thus forming a dummy pattern 78 for preventing the dishing phenomenon during CMP process following a wide trench region according to layout. Subsequently, the trench is filled with an insulating material (insulation layer 80). After an insulation layer 80 is deposited by the dummy pattern 78 formed in a wide trench 76, uniform height is attained as a whole and the isolation region can be planarized.



**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-107028

(43)公開日 平成9年(1997)4月22日

(51)Int.Cl.  
H 01 L 21/76  
21/304

識別記号  
3 2 1

府内整理番号

F.I  
H 01 L 21/76  
21/304

L  
3 2 1 S

技術表示箇所

審査請求 未請求 請求項の数5 OL (全6頁)

(21)出願番号 特願平8-225456  
(22)出願日 平成8年(1996)8月27日  
(31)優先権主張番号 1995 P 28482  
(32)優先日 1995年8月31日  
(33)優先権主張国 韓国(KR)

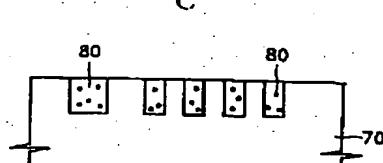
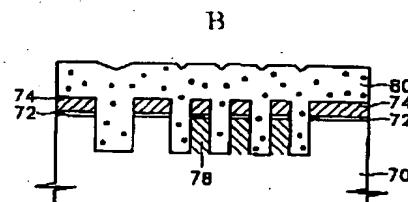
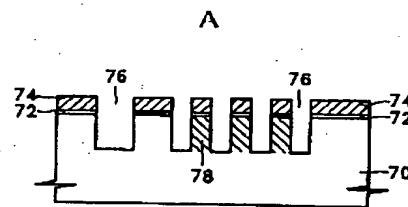
(71)出願人 390019839  
三星電子株式会社  
大韓民国京畿道水原市八達区梅灘洞416  
(72)発明者 李元成  
大韓民国ソウル特別市松坡区蠶室洞46番地  
アシア選手村アパート9棟1504号  
(74)代理人 弁理士 服部雅紀

(54)【発明の名称】 半導体装置の素子分離方法

(57)【要約】

【課題】 トレンチに埋め立てられた素子分離層の平坦度を改善し得る半導体装置の素子分離方法を提供する。

【解決手段】 半導体基板70上に耐研磨層74を形成する段階と、耐研磨層74上に、フィールド領域にダミーパターン78を挿入して形成された感光膜パターンを形成する段階と、感光膜パターンをマスクとして耐研磨層74をパタニングする段階と、パタニングされた耐研磨層74をマスクとして半導体基板70にトレンチ76を形成する段階と、トレンチ76の形成された結果物に絶縁物質80を蒸着してトレンチ76を埋め立てる段階と、前記耐研磨層74の表面が露出されるまで絶縁物質80をCMPする段階とを含む。従って、CMP直前に大部分の面積を均一な高さに保たせ、よってCMP時のディッシング現象が抑えられる。



## 【特許請求の範囲】

【請求項 1】 半導体基板上に耐研磨層を形成する第1段階と、

前記耐研磨層上に、フィールド領域にダミーパターンを挿入して形成された感光膜パターンを形成する第2段階と、

前記感光膜パターンをマスクとして前記耐研磨層をパタニングする第3段階と、

前記パタニングされた耐研磨層をマスクとして前記半導体基板にトレンチを形成する第4段階と、

トレンチの形成された結果物に絶縁物質を蒸着して前記トレンチを埋め立てる第5段階と、

前記耐研磨層の表面が露出されるまで前記絶縁物質を CMP する第6段階とを含むことを特徴とする半導体装置の素子分離方法。

【請求項 2】 前記耐研磨層はシリコン窒化膜、酸化膜、金属膜、有機物中のいずれか一つの物質より構成された単一膜又は前記物質よりなる複合膜より形成されることを特徴とする請求項 1 に記載の半導体装置の素子分離方法。

【請求項 3】 前記第2段階で形成するダミーパターンは、活性領域の縁部を取り囲む連続的又は断続的に連結されたパターンよりなるガードリングを含むことを特徴とする請求項 1 に記載の半導体装置の素子分離方法。

【請求項 4】 前記ガードリングは活性領域の縁部から素子分離特性に影響を及ぼさない距離ほど離れていることを特徴とする請求項 3 に記載の半導体装置の素子分離方法。

【請求項 5】 前記第5段階で蒸着される絶縁物質の厚さは、前記絶縁物質が蒸着された後のダミーパターンの挿入された部位とセル領域との段差が±1 μm 以内になるように調節する厚さであることを特徴とする請求項 1 に記載の半導体装置の素子分離方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に係り、特にトレンチに埋め立てられた素子分離層の平坦度を改善し得る半導体装置の素子分離方法に関する。

## 【0002】

【従来の技術】 半導体素子の高集積化によりパターン密度が高くなり、且つ素子の間隔も縮まっている。これにより、従来の素子分離方法である局部的酸化による素子分離方法 (Local Oxidation of Silicon: LOCOS) のような方法では素子間の電気的分離を十分に達成し得ない。

【0003】かかるLOCOSの問題点を改善するための方法としてSTI(Shallow Trench Isolation)方法が注目されている。このSTI方法は半導体基板にトレンチを形成し、ここに酸化物のような絶縁物質を埋め立

てる方法である。STI方法は、素子分離膜の形成において前記LOCOS類のように熱酸化工程に依らないので、熱酸化工程によるLOCOS類の短所をある程度減らすことができる。さらに、技術的にトレンチの深さを調節することにより1GDRAM級以上の高集積化に必要な0.2 μm以下の幅の寸法を有する素子分離層の形成が可能となった。

【0004】トレンチに絶縁物質を埋め立てるために、トレンチの形成されている半導体基板上に絶縁物質を均一に蒸着させる。その結果、トレンチを形成しない領域でも絶縁膜が蒸着される。したがって、望まない領域に蒸着された絶縁物質を取り除かなければならなく、このために多様な方法が試みられている。そのうち最も有力な方法が化学的-機械的研磨 (Chemical Mechanical Polishing; 以下、CMPと称する) である。

【0005】このCMP方法は、CMPに強い耐研磨層を半導体基板上に形成した後、半導体基板にトレンチを形成し、トレンチの形成された結果物上に絶縁層を蒸着したのち、耐研磨層が露出されるまで絶縁物質に対して CMP を施す。この CMP 工程は半導体基板に形成された絶縁物を横方向に取り除くので、トレンチの埋立及び食刻方法として理想的なものと見なされる。

【0006】しかしながら、CMP工程の研磨率は絶縁層の高さ、耐研磨層の密度に対して敏感に変化し、このため CMP 後絶縁層の平坦度が非常に劣化する問題がある。特に、トレンチの幅が数mm程度に大きくなると、CMP 後絶縁層の中央部が皿状になるディッシング現象が発生して不安定な素子分離特性及び段差を引き起こす問題がある。

【0007】ディッシング現象は、図1Aに示すように、CMP前に基板上に全体的に形成された段差が存在する場合、段差の低い方 (b) の研磨率が段差の高い方 (a) の研磨率より高くて研磨後に研磨された物質の厚さが中央に近づくほど薄くなる (c)。このようなディッシング現象が、図1Bに示すように、STIの平坦化工程で発生すると、フィールド領域の中央部ではフィールド酸化膜のシニングが生じ、セルアレイや広い活性領域の中央部ではシリコン窒化膜 (斜線部分) 上の絶縁膜が研磨し切れない。従って、シリコン窒化膜が取り除けなく、よって活性領域が限定されない。

【0008】図1Cに示したように、層間絶縁膜 (ILD) 形成工程でディッシングが発生すると、CMP後のILDの厚さが領域により異なる。これにより、後続くコンタクトホール (斜線部分) 形成工程で活性領域とフィールド領域で食刻すべき層間絶縁膜の深さが変わるものがある。CMP工程においてディッシング現象のようなパターンの密度、寸法による異常研磨現象を減らすためにダミーパターンの挿入、CMP前の写真食刻 (pre-CMP photo-etching) 方法が一般に用いられている。

【0009】図2A乃至図2Cは異常研磨現象を防止す

るためのCMP前の写真食刻工程を説明するための断面図である。図2Aを参照すると、トレンチにより段差の形成された半導体基板20に絶縁層24を形成し、広いトレンチ領域の前記絶縁層上に平坦化ブロックマスク26(Planarization Block Mask: PBM)を形成して段差の広い部位の高さを他の部位の高さと類似に形成する。次いで、前記PBM26の形成された結果物の全面に平坦化レジスト28を塗布する。

【0010】図2Bを参照すると、前記平坦化レジスト層28、PBM26及び絶縁層24に対して反応性イオン食刻法(Reactive Ion Etching: RIE)を用いて食刻した後、シリコン窒化膜22の表面が露出されるまでその結果物に対してCMPを行って平坦な表面を有する素子分離層を形成する。

#### 【0011】

【発明が解決しようとする課題】前記した従来の方法によれば、図2Cに示すように、PBM26を形成するために感光膜をバタニングするとき、ミスアライン又はオーバーフィリング現象が発生することによってレジストの厚さが変わる問題があった。本発明の目的は異常研磨現象を防止してトレンチに埋め立てられた素子分離層の平坦度を改善し得る半導体装置の素子分離方法を提供することにある。

#### 【0012】

【課題を解決するための手段】前記の目的を達成するために本発明による半導体装置の素子分離方法は、半導体基板上に耐研磨層を形成する第1段階と、前記耐研磨層上に、フィールド領域にダミーパターンを挿入して形成された感光膜パターンを形成する第2段階と、前記感光膜パターンをマスクとして前記耐研磨層をバタニングする第3段階と、前記バタニングされた耐研磨層をマスクとして前記半導体基板にトレンチを形成する第4段階と、トレンチの形成された結果物に絶縁物質を蒸着して前記トレンチを埋め立てる第5段階と、前記耐研磨層の表面が露出されるまで前記絶縁物質をCMPする第6段階とを含むことを特徴とする。

【0013】前記耐研磨層はシリコン窒化膜、酸化膜、金属膜、有機物中のいずれか一つの物質より構成された単一膜又は前記物質よりなる複合膜を用いて形成される。前記第2段階で形成するダミーパターンは、活性領域の縁部を取り囲む連続的又は断続的に連結されたパターンよりなるガードリングを含むことが望ましい。かつ、前記ガードリングは活性領域の縁部から素子分離特性に影響を及ぼさない距離ほど離れていることが望ましい。

【0014】前記5段階で蒸着される絶縁物質の厚さは、前記絶縁物質が蒸着された後のダミーパターンの挿入された部位とセル領域との段差が±1μm以内になるように調節することが望ましい。

#### 【0015】

【発明の実施の形態】以下、添付した図面に基づき本発明の実施の形態を詳細に説明する。上述したように、CMP工程時、段差の高い部分の面積が周辺の面積に比して小さいほど、且つその高さが低いほど全体的に平坦化し易い。従って、CMP以前に全般的な高さを均一にし、周辺に比して高い部分の面積を縮めると、ディッシング現象を防止して平坦化し易い。

【0016】本発明はこのような原理を用いたものであり、広いトレンチにセル領域のパターンと同一のダミーパターンを挿入して、全体的に均一の高さに調節することによりディッシング現象を抑える。図3Aは一般のDRAMのレイアウト図であり、図3Bは本発明によるレイアウト図である。

【0017】図面の参照符号30は活性領域を限定するためのマスクパターン、40はセル領域、45は前記セル領域に形成されるパターンを形成するためのマスクパターン、50はフィールド領域、55は前記フィールド領域に挿入されたダミーパターンを形成するためのマスクパターンをそれぞれ示す。図3Bの改善されたレイアウト図においては、広いトレンチを有するフィールド領域50に、トランジスタの動作に影響を及ぼさない範囲内でセル部位に形成されたパターン45と同一のダミーパターンを挿入するようにレイアウトされている。従つて、同図に示したように、CMP直前に大部分の面積がセル部位と同一の高さを有することによってディッシング現象が防止される。かつ、このダミーパターンはセル領域のパターンと同一でなくとも、CMP観点からセル部位とダミーパターン部位との段差を低減させ得るライン・スペースパターンなども含むことができる。

【0018】図4は前記図3Bのレイアウト図を具体的に示したレイアウト図である。図4を参照すると、フィールド領域に活性領域のトランジスタの動作に影響を与えない範囲内でセル部位と同一のダミーパターンを挿入することによりCMP直前に大部分の面積がセル部位と同一な高さを保つようになる。この際、活性領域とフィールド領域との境界部には、連続的または断続的なガードリング60を形成して、アイランドパターンの崩れを防止する。

【0019】さらに、フィールド領域に挿入された前記ダミーパターンは、CMP工程時のディッシング現象を抑えることができ、フィールド領域が素子分離領域としての電気的な役割を果たすほど、その数と活性領域との距離を調節する。参照符号35はゲートラインを形成するためのマスクパターンである。図5A乃至図5Cは本発明による素子分離方法を説明するための断面図である。

【0020】図5Aはフィールド領域にトレンチを形成する段階の断面図である。これは、半導体基板70上にバッド酸化膜72及び窒化膜74を順に積層する第1段階と、図4のマスクパターンを用いた写真食刻工程を施

して前記窒化膜74及びパット酸化膜72をパタニングする第2段階と、露出された半導体基板70を食刻することによりトレンチ76を形成する第3段階とよりなる。

【0021】前記パット酸化膜72はストレス緩和用、前記窒化膜74はトレンチ形成時食刻阻止層として、そしてCMP工程時の耐研磨層として用いられる。前記第2及び第3段階により、本発明のレイアウトにより広いトレンチ領域に後続くCMP工程時のディッキング現象を抑えるためのダミーパターン78が形成される。

【0022】図5Bは層間絶縁層80を形成した状態の断面図である。具体的に、トレンチの形成された結果物上に前記トレンチを埋め立てるための絶縁物質、例えばCVD酸化膜を蒸着して絶縁層80を形成する。この際、広いトレンチ76に形成された前記ダミーパターン78により、前記絶縁層80が蒸着された後、全体的に高さが均一となる。

【0023】図5CはCMPを行った後の断面図である。具体的に、前記窒化膜74の表面が露出されるまで絶縁層80をCMPする第1段階と、前記窒化膜74を取り除く第2段階とよりなる。同図に示すように、広いトレンチ76に挿入されたダミーパターン78によりCMP工程時のディッキング現象を抑えることができ、從って平坦な素子分離層を形成し得る。

【0024】

【発明の効果】前記した本発明によれば、段差の広いフィールド領域に素子の動作に影響を及ぼさない範囲内でセル領域と同一の段差のダミーパターンを挿入して、CMP直前に大部分の面積が均一な高さを保つようにすることで、CMP時のディッキング現象が抑えられる。

【0025】本発明は前記実施例に限定されず、本発明の技術的思想内で当分野の通常の知識を持つ者により多くの変形が可能なのは明らかである。例えば、セル部位と同一のパターンをダミーパターンとして用いるのは、

電子ビームなどを用いてマスクを製造するときのデータ量を増やせる。このデータ量を縮める方法として、ライン・スペースパターンまたはアイランドパターンなどをフィールド領域に形成することにより、CMP直前のセル部位とダミーパターンの挿入されたフィールド部位との段差を、ダミーパターンを挿入する前より減らすことができる。

【図面の簡単な説明】

【図1】A乃至Cはディッキング現象を説明するための断面図である。

【図2】A乃至Cはディッキング現象を抑えるための従来の一方法を説明するための断面図である。

【図3】AはDRAMを製造するための従来の一般的なレイアウト図であり、Bは本発明によるダミーパターンの挿入されたDRAMのレイアウト図である。

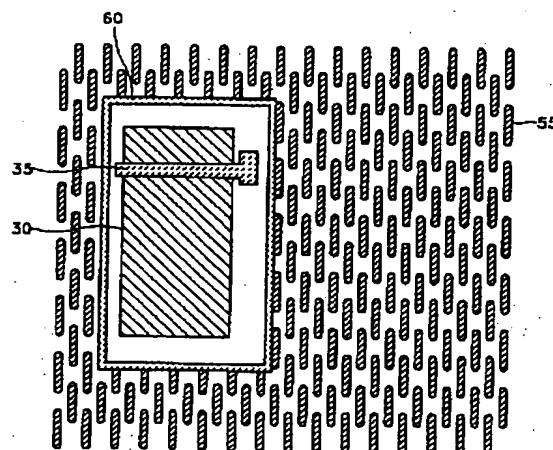
【図4】前記図3Bのレイアウトを具体的に示したレイアウト図である。

【図5】A乃至Cは本発明の素子分離方法を用いたSTI方法を説明するための断面図である。

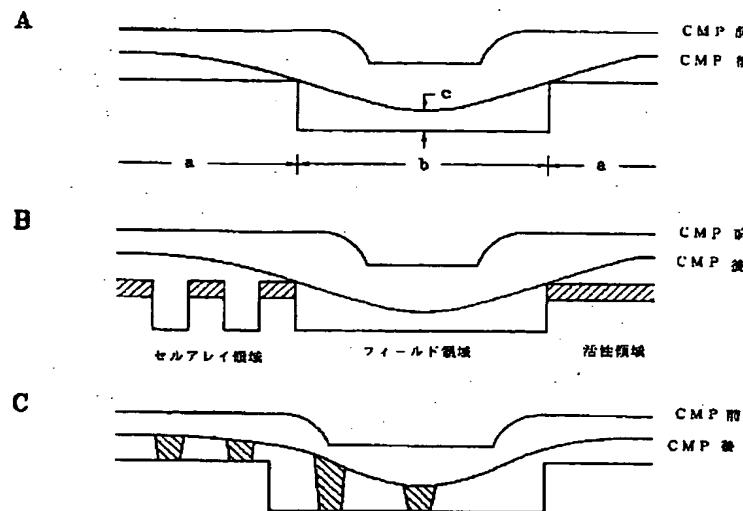
【符号の説明】

30	マスクパターン
35	マスクパターン
40	セル領域
45	マスクパターン
50	フィールド領域
55	マスクパターン（感光膜パターン）
60	ガードリング
70	半導体基板
72	パット酸化膜
74	窒化膜（耐研磨層）
76	トレンチ
78	ダミーパターン
80	絶縁層（絶縁物質）

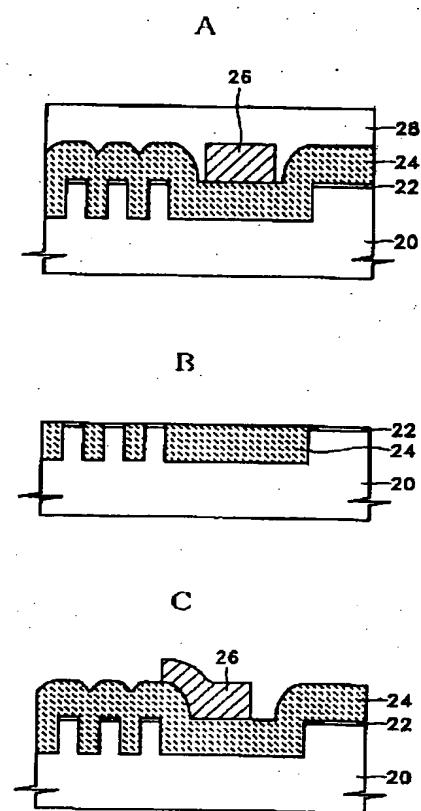
【図4】



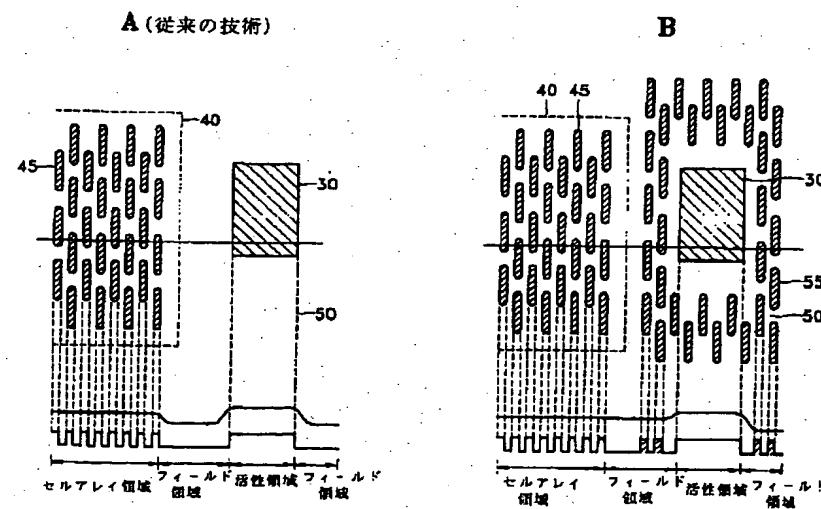
【図1】



【図2】

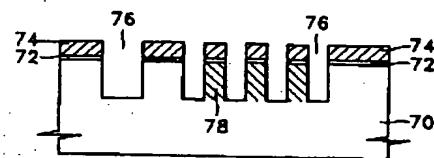


【図3】

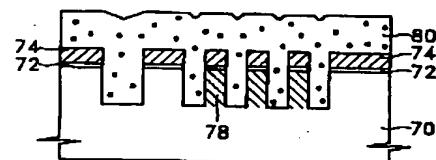


【図5】

A



B



C

